

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-102479

(43)Date of publication of application : 13.04.2001

(51)Int.Cl.

H01L 23/12  
H05K 1/18

(21)Application number : 11-273215

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.09.1999

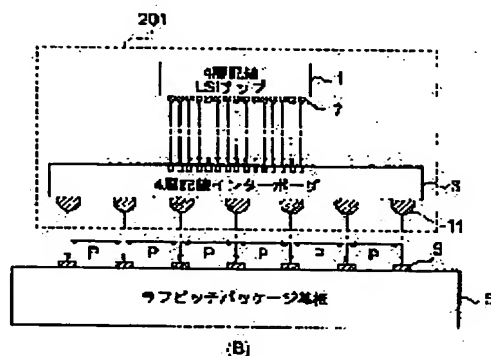
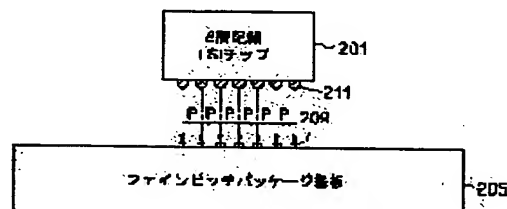
(72)Inventor : YODA TAKASHI  
EZAWA HIROKAZU

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURING METHOD THEREOF

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit device capable of reducing the production cost.

SOLUTION: A semiconductor integrated circuit board includes a semiconductor integrated circuit chip 1, an interposer joined electrically to the semiconductor integrated circuit chip 1, and a package substrate 5 joined electrically to the interposer. In this case, the number of wiring layers on the semiconductor integrated circuit chip 1 is reduced, and the function of the wiring layer is transferred to the interposer 3.



### LEGAL STATUS

[Date of request for examination]

24.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-102479

(P2001-102479A)

(43)公開日 平成13年4月13日(2001.4.13)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テームコード(参考)
H 0 1 L 23/12		H 0 5 K 1/18	U 5 E 3 3 6
H 0 5 K 1/18		H 0 1 L 23/12	N

審査請求 未請求 請求項の数13 O L (全 16 頁)

(21)出願番号 特願平11-273215

(22)出願日 平成11年9月27日(1999.9.27)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 依田 孝

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(72)発明者 江澤 弘和

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム(参考) 5E336 AA04 AA09 BB02 BB14 BC15

BC31 BC34 CC32 CC36 CC43

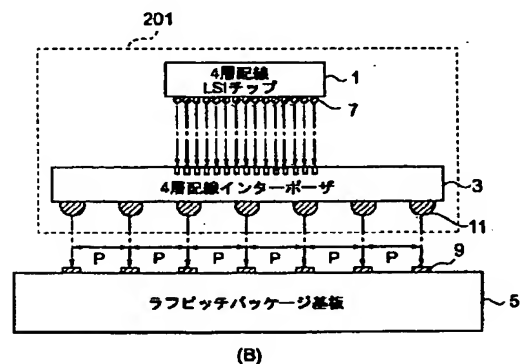
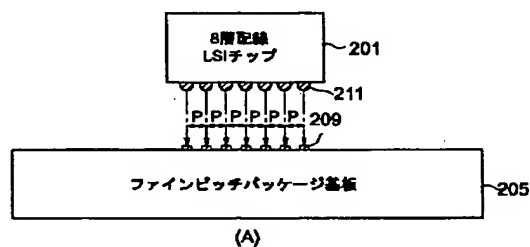
DD02 EE01 EE07 GG30

(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【課題】 製造コストを低減することが可能な半導体集積回路装置を提供すること。

【解決手段】 半導体集積回路チップ1と、この半導体集積回路チップ1に電氣的に接続されたインターポーザ3と、このインターポーザ3に電氣的に接続されたパッケージ基板5とを具備する。そして、半導体集積回路チップ1に形成される配線層数を減らすとともに、この減らした配線層の機能を、インターポーザ3に移したことを特徴としている。



1

## 【特許請求の範囲】

【請求項1】 半導体集積回路チップと、  
前記半導体集積回路チップに電気的に接続され、前記半導体集積回路チップの少なくとも一部の配線層を形成した中間基板と

を具備することを特徴とする半導体集積回路装置。

【請求項2】 前記中間基板の熱膨張係数は、前記半導体集積回路チップの熱膨張係数と同等であることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 前記中間基板の基板材料は、前記半導体集積回路チップの半導体基板と同じ材料であることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項4】 前記中間基板の大きさは、前記半導体集積回路チップの大きさよりも大きいことを特徴とする請求項1に記載の半導体集積回路装置。

【請求項5】 前記中間基板内に形成された配線層どうしを絶縁する絶縁膜の誘電率は4以下であることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項6】 前記中間基板は、積層構造であることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項7】 前記中間基板には、能動素子、および受動素子の少なくともいずれかが形成されていることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項8】 前記能動素子、および受動素子は、強誘電体膜を用いて構成されていることを特徴とする請求項6に記載の半導体集積回路装置。

【請求項9】 前記中間基板には、入力／出力回路が形成されていることを特徴とする請求項6に記載の半導体集積回路装置。

【請求項10】 前記中間基板には、強誘電体メモリが形成されていることを特徴とする請求項6に記載の半導体集積回路装置。

【請求項11】 前記中間基板に電気的に接続されたパッケージ基板を、さらに具備することを特徴とする請求項1乃至請求項10のいずれか一項に記載の半導体集積回路装置。

【請求項12】 前記中間基板と前記パッケージ基板との接続部分のピッチは、前記中間基板と前記半導体集積回路チップとの接続部分のピッチよりも広いことを特徴とする請求項11に記載の半導体集積回路装置。

【請求項13】 セルトランジスタ、および前記セルトランジスタのソースまたはドレインに接続され、かつ外部に露出した部位を有するプラグを少なくとも有する第1の基板を得る工程と、  
外部に露出した部位を有するストレージノード電極、プレート電極、および前記プレート電極と前記ストレージノード電極との間に挟まれた強誘電体膜を少なくとも含む第2の基板を得る工程と、  
前記プラグの外部に露出した部位と、前記ストレージノード電極の外部に露出した部位とを互いに接続し、前記

2

第1の基板と前記第2の基板との積層構造からなる強誘電体メモリセルを得る工程とを具備することを特徴とする半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、インターポーザを用いた半導体集積回路装置に関する。

【0002】

【従来の技術】半導体集積回路チップ（以下LSIチップ）の微細化、高集積化に伴って、最上層の多層配線に形成されるパッド数が増大してきた。このようなパッド数の増大とともに、パッドのファインピッチ化も急速に進展しつつある。

【0003】このようなパッドのファインピッチ化に伴って、パッケージ基板の配線のファインピッチ化の要求も急速に高まりつつある。

【0004】配線をファインピッチ化したパッケージ基板は、製造コストが高い。このため、LSIチップの微細化によってLSIチップ一個当たり製造コストが低減されたとしても、パッケージ基板のコスト増がLSI製品のコストを引き上げてしまう結果となっている。

【0005】そこで、LSIチップとパッケージ基板との間に、LSIチップのファインピッチ化されたパッドを、よりラフなピッチのパッドに再配線し、パッケージ基板の配線ピッチを、ラフにする、という試みが為されている。ファインピッチ化されたパッドを、よりラフなピッチのパッドに再配線する部材は、インターポーザと呼ばれている。このようなインターポーザを、LSIチップとパッケージ基板との間に挿入することで、パッケージ基板のコストを従来並みのコストに抑え、LSI製品単体として製造コストを低減することができる。

【0006】

【発明が解決しようとする課題】一方、LSIチップ内の配線の微細化により、たとえばRC遅延の顕著化など、その配線性能が低下してきている。また、配線自身の微細化に伴った信頼性の劣化も顕在化してきており、今後、アルミニウムから銅への配線材料の変更、および層間絶縁膜の低誘電率化は必須となってきている。

【0007】しかし、これら配線材料の変更、および層間絶縁膜の低誘電率化は、新規設備の導入を招いており、製造コストを上昇させている。

【0008】また、LSIチップ内の配線層数は年々増加しつつあり、配線工程数の増加に伴った歩留りの低下も指摘されている。さらに配線工程数の増加は、スループットを悪化させており、工場の生産能力を圧迫している。

【0009】これらのような事情から、LSIチップ自身の製造コストは、急速に上昇しつつある。

【0010】この発明は、上記の事情に鑑み為されたもので、その目的は、製造コストの上昇を抑制することが

3

可能な半導体集積回路装置およびその製造方法を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するために、この発明に係る半導体集積回路装置によれば、半導体集積回路チップと、この半導体集積回路チップに電気的に接続され、前記半導体集積回路チップの少なくとも一部の配線層を形成した中間基板とを具備することを特徴としている。

【0012】上記構成を有する半導体集積回路装置であると、半導体集積回路チップの少なくとも一部の配線層を中間基板に形成するので、半導体集積回路チップの配線層数の増加が抑制される。配線層数の増加が抑制されることで、配線層数の増加に伴った歩留りの低下を抑制することができる。また、配線層数の増加が抑制されることで、配線工程数の増加に伴ったスループットの悪化も抑制することができる。

【0013】よって、製造コストの上昇を抑制することが可能な半導体集積回路装置を得ることができる。

【0014】

【発明の実施の形態】以下、この発明の一実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0015】【第1の実施形態】図1を参照しながら、この発明の第1の実施形態を説明する。

【0016】図1(A)はこの発明の第1の実施形態の比較例に係るLSI製品を示す図、図1(B)はこの発明の第1の実施形態に係るLSI製品を示す図である。

【0017】図1(A)には、比較例として、8層配線を有するLSIチップ201が示されている。

【0018】この発明は、図1(B)の破線枠201に示すように、LSIチップ201と同等の機能を、LSIチップ1とインターポーザ(中間基板とも呼ばれる)3とで達成するものである。

【0019】この第1の実施形態では、LSIチップ1は4層配線を有し、残りの4層分の配線機能をインターポーザ3に持たせている。このため、インターポーザ3は、その一例として4層配線を有する。

【0020】LSIチップ1には、最上層の配線層を使用して形成されたパッドが10~20μm程度のピッチでエリア配置されている。パッド上には、たとえばパンプ電極7が形成されている。

【0021】インターポーザ3は、LSIチップ1に形成されるべき配線層のいくつかを担う、という役目を持つとともに、比較例に係るLSIチップ201のパンプ電極211に相当するパンプ電極11の配置ピッチPをラフにする、という役目を持つ。これにより、配線209がファインピッチで形成されているパッケージ基板205に比較して、よりラフなピッチで配線9が形成された安価なパッケージ基板5の使用を可能とする。パッケ

4

ージ基板5の一例は、たとえば安価なFR-4のBGAパッケージ基板である。

【0022】図2は、この発明の第1の実施形態に係るLSI製品を、より詳細に示した分解図である。なお、図2には、インターポーザの具体的な構造例として、2層配線構造のインターポーザを示す。

【0023】図2に示すように、インターポーザ3は、LSIチップ1と同様に、シリコン基板20を用いて形成される。このシリコン基板20としては、たとえばP型で、比抵抗1~1000Ωcm程度のシリコンウェーハが用いられる。シリコン基板20上には、第1層配線層21が形成されている。第1層配線層21は、シリコン基板20内に形成されたビア27に接続されている。ビア27は、シリコン基板20を貫通しており、たとえばLSIチップ1との接続端子として機能する。

【0024】第1層配線層21上には、層間絶縁膜22が形成されており、この層間絶縁膜22上には第2層配線層23が形成されている。第2層配線層23は、層間絶縁膜22に形成されたビア孔を介して、所望の配線機能を達成するように、第1層配線層21やビア27に接続されている。第2層配線層23上にはバッシベーション膜24が形成されている。バッシベーション膜24内には、第2層配線層23に通じる孔が形成されている。この孔の上にはバリアメタル膜25を介してパンプ電極11が形成されている。LSIチップ1、インターポーザ3およびパッケージ基板5を互いに接続した状態を図3に示す。

【0025】図3に示すように、LSIチップ1に形成されたパンプ電極7は、インターポーザ3のビア27に接続されている。これにより、LSIチップ1は、インターポーザ3に電気的に接続される。LSIチップ1とインターポーザ3との間に生じた空間は、たとえば樹脂31により充填される。

【0026】また、インターポーザ3に形成されたパンプ電極11は、パッケージ基板5の配線9に接続されている。これにより、インターポーザ3は、パッケージ基板5に電気的に接続される。インターポーザ3とパッケージ基板5との間に生じた空間は、たとえば樹脂33により充填される。

【0027】なお、パンプ電極7は、LSIチップ1に形成するようにしたが、インターポーザ3に形成するようにしても良い。

【0028】LSIチップ1上のパッドピッチが10μm程度のエリア配置であった場合には、LSIチップ1の上面、あるいはインターポーザ3の裏面に、スパッタ法を用いて、バリアメタル膜(Ti/Ni/Pd)を形成する。次いで、10μm程度の厚膜レジストを塗布し、この厚膜レジストにパンプ形成用の孔を形成する。次いで、バリアメタル膜を陰極に用いた電解メッキ法を用いて、厚膜レジストに形成された孔に、Auパンプ電

5

極を形成する。次に、厚膜レジストを剥離した後、Auバンプ電極をマスクに用いて、バリアメタル膜の除去することで、高さ10 $\mu$ m程度のAuからなるバンプ電極7を形成できる。

【0029】パッケージ基板5とインターポーザ3とは、互いに熱膨張係数が異なるため、熱応力を塑性変形し易い半田バンプ電極で吸収する必要がある。

【0030】これに対し、LSIチップ1とインターポーザ3は、両者ともにシリコン基板を用いて形成したものであり、互いに熱膨張係数は等しくなる。このため、10バンプ電極7には、熱応力が付加されない。よって、バンプ電極7の材料としては、Au、半田のどちらでも使用することができる。

【0031】また、バンプ電極11もバンプ電極7と同様に、インターポーザ3に形成するようにしたが、パッケージ基板5に形成するようにしても良い。

【0032】次に、インターポーザ3の製造方法の一例を説明する。

【0033】図4(A)、(B)～図10(A)、

(B)はそれぞれ、この発明の第1の実施形態に係るLSI製品が具備するインターポーザを、主要な製造工程毎に示した断面図である。なお、この製造方法の一例は、3層の配線構造を持つインターポーザを例として説明する。20

【0034】まず、図4(A)に示すように、シリコン基板20の表面に、RIE法を用いて、深さ5 $\mu$ m、ライン/スペース=5 $\mu$ m/5 $\mu$ mの配線溝41を形成する。配線溝41は、第1層配線層パターンに応じている。

【0035】次に、図4(B)に示すように、各配線溝41の所望の箇所に、エッチング法を用いて、ビア孔43を形成する。30

【0036】次に、図5(A)に示すように、基板20上に、CVD法を用いて、SiN/SiO<sub>2</sub>の積層からなる絶縁膜45を形成する。この絶縁膜45は、基板20と、後にビア孔43内に形成されるビア27とを絶縁する膜として機能する。

【0037】次に、図5(B)に示すように、絶縁膜45上に、高真空スパッタ成膜法を用いて、Ti/Ni/Pdの積層からなるバリアメタル膜47を形成する。40

【0038】次に、図6(A)に示すように、バリアメタル膜47上に、このバリアメタル膜47を陰極とした電解メッキ法を用いて、厚さ15 $\mu$ mの銅(Cu)膜49を形成する。

【0039】次に、図6(B)に示すように、CMP法を用いて、配線溝41以外に形成されたCu膜49、バリアメタル膜47を除去する。これにより、配線溝41およびビア孔43内はそれぞれCu膜49で埋め込まれる。なお、配線溝41内に埋め込まれたCu膜49は、第1層配線層21となり、ビア孔43内に埋め込

6

まれたCu膜49は、ビア27となる。

【0040】次に、図7(A)に示すように、ラッピング法を用いて、基板20の裏面を、基板20の厚さが50～100 $\mu$ mとなるようにラッピングし、ビア27の底面を基板20の裏面に露出させる。これにより、第1層配線層21は、ビア27を介して、基板20の上面から裏面に貫通する。

【0041】次に、図7(B)に示すように、基板20の裏面に、パッシベーション膜29を形成する。パッシベーション膜29の材料の例は、感光性ポリイミドである。次に、感光性ポリイミドであるパッシベーション膜29を露光/現像し、ビア27に達するビア露出孔51を形成する。これにより、第1層配線層21のみを持つインターポーザ3が完成する。

【0042】インターポーザ3を、さらに多層の配線構造とするためには、引き続き、次のような製法を用いる。

【0043】まず、図8(A)に示すように、スクリーン印刷法を用いて、インターポーザ3の上面に、金属ペーストを印刷し、この後、印刷された金属ペーストを焼成し、第2層配線層53を形成する。

【0044】次に、図8(B)に示すように、第2層配線層53の選ばれた部分の上に、AuやCuからなるバンプ電極55を形成する。

【0045】次に、図9(A)に示すように、スピンコート法を用いて、インターポーザ3の上面上に、ポリイミド、またはSOGのような誘電率が4以下の低誘電率有機絶縁物からなる層間絶縁膜57を形成する。なお、低誘電率絶縁物とは、一般的に、たとえばCVD法を用いて形成したSiO<sub>2</sub>よりも誘電率が小さいものをいう。

【0046】次に、図9(B)に示すように、CMP法を用いて、層間絶縁膜57をバンプ電極55の先端が露出するまで後退させる。これにより、多層配線間の電氣的接続をとるためのヴィアプラグが形成される。

【0047】なお、インターポーザ3に付加される多層配線機能に応じて、その表面上に、図8(A)～図9

(B)を参照して説明した工程を必要な回数繰り返せば、任意の数の多層の配線構造を得ることができる。また、多層の配線構造を得るためには、たとえばLSIチップ1の製造において、一般的に用いられている配線工程を、必要な回数繰り返すことも可能である。

【0048】次に、図10(A)に示すように、スクリーン印刷法を用いて、インターポーザ3の上面に、金属ペーストを印刷し、この後、印刷された金属ペーストを焼成し、第3層配線層59を形成する。

【0049】次に、図10(B)に示すように、パッケージ基板の配線のパッドピッチが250 $\mu$ m程度であった場合には、半田ペーストを用いたスクリーン印刷法を用いて、高さ100 $\mu$ m程度の半田バンプ電極11をす

る。この後、必要に応じてパッシベーション膜24を形成する。

【0050】このようにして、第1の実施形態に係る配線機能付きのインターポーザ3が完成する。

【0051】このような第1の実施形態に係るLSI製品であると、4層配線からなるLSIチップ1、本来LSIチップに形成されていた4層分の配線機能を持つインターポーザ3、パッケージ基板5をそれぞれバンパ電極7、11を介して接合する。これにより、LSIチップ1の配線層数を減らすことができ、LSIチップ1の歩留りの向上、およびスループットの向上をそれぞれ図ることができ、その製造コストの上昇を抑制することができる。

【0052】また、インターポーザ3は、LSIチップ1と同様に、LSIの製造プロセスを利用して形成される。このとき、インターポーザ3は、LSIチップ1よりも大きくできること等から、最先端の設備/製造装置を使用せず、既存の設備/製造装置を使用して形成することが可能である。このことから、既存の設備/製造装置を有効に活用できる、という利点を得ることができる。

【0053】既存の設備/製造装置を有効に活用することができれば、既設の製造ラインの稼働率の向上、即ち工場の生産能力の向上が期待される。

【0054】これらの点から、第1の実施形態に係るLSI製品では、製造コストの上昇を抑制することが可能、という効果を得ることができ、低コストなLSI製品を得ることができる。

【0055】また、インターポーザ3は、パッケージ基板5に接合する前に、LSIチップ1とインターポーザ3とを接続したモジュール段階でテストを行うことができる。この状態で電気的特性不良が発見された場合、この不良の原因が、LSIチップ1、およびインターポーザ3のいずれの部品に起因するのかを特定できれば、LSIチップ1とインターポーザとを互いに分離し、再度、別の部品を用いて修復することもできる。

【0056】このような修復は、LSIチップ1、インターポーザ3およびパッケージ基板5をそれぞれ接続した状態からでも可能である。

【0057】〔第2の実施形態〕第1の実施形態では、インターポーザ3を一つとしたが、インターポーザ3は、いくつかの配線層ごとに分割し、互いに積層することも可能である。

【0058】図11(A)はこの発明の第2の実施形態に係るLSI製品が具備するインターポーザの分解図である。

【0059】図11(A)に示すように、第1層インターポーザ3-1には、たとえば図2に示した第1層配線層21が形成されている。また、第2層インターポーザ3-2には、たとえば図2示した第2層配線層22が形成され

ている。

【0060】インターポーザ3-1の第1層配線層21上には、バリアメタル膜63を介して形成されたバンパ電極61が形成されている。バンパ電極61は、第1層配線層21を、インターポーザ3-2のビア27に接続するための接続部材として機能している。インターポーザ3-1をインターポーザ3-2に接続した状態を、図11(B)に示す。

【0061】図11(B)に示すように、バンパ電極63は、インターポーザ3-2の裏面に露出されたビア27に接続されている。

【0062】このように、いくつかの配線層ごとに分割されたインターポーザ3-1、3-2を、互いに積層するようにしても良い。

【0063】このような第2の実施形態によれば、インターポーザ3内の配線層数を低下させることができる。このため、インターポーザ3内の配線層数が増加し、その歩留りの低下が懸念される場合に、その製造コストを低減できる効果を得ることができる。

【0064】なお、第2の実施形態では、積層数を2層としたが、3層以上に積層することも、もちろん可能である。

【0065】また、インターポーザ3-1とインターポーザ3-2との間に生じた空間は、樹脂により充填されるようにしても良い。

【0066】〔第3の実施形態〕上記第1、第2の実施形態では、LSIチップ1とインターポーザ3との接続に、バンパ電極を用いたが、これ以外の接続も可能である。

【0067】この第3の実施形態は、LSIチップとインターポーザとその他の接続例である。

【0068】図12は、この発明の第3の実施形態に係るLSI製品におけるLSIチップとインターポーザとの接続部分を示す断面図である。

【0069】図12に示すように、インターポーザ3のシリコン基板20上には、パッシベーション膜71が形成されている。パッシベーション膜71には、ビア27が露出するビア孔73が形成されている。ビア孔73内には、バリアメタル膜75、および導電物からなるビア77が形成されている。ビア77は、ビア27に電氣的に接続される。

【0070】この例において、パッシベーション膜71およびビア77の表面、即ちインターポーザ3の裏面は、ラッピング、あるいはCMPされており、平坦化されている。

【0071】また、LSIチップ1の最上層層間絶縁膜82には、配線溝が形成され、この配線溝内には、最上層配線層81が形成されている。

【0072】この例において、層間絶縁膜82および配線層81の表面、即ちLSIチップ1の上面は、ラッピ

9

ング、あるいはCMPされており、平坦化されている。

【0073】LSIチップ1の平坦化された上面は、インターポーザ3の平坦化された裏面に接合される。接合した状態を図13に示す。

【0074】図13に示すように、LSIチップ1の上面は、インターポーザ3の裏面に、配線層81がビア77に接触する状態で接合されている。

【0075】また、LSIチップ1の上面、およびインターポーザ3の裏面はそれぞれ平坦化されている。このため、LSIチップ1とインターポーザ3とは互いに鏡面接着の原理により接着される。

【0076】このようにLSIチップ1とインターポーザ3とは、バンプ電極を介さずに接続することが可能である。

【0077】絶縁膜71、82の材料の例は、CVD法を用いて形成した $\text{SiO}_2$  (CVD- $\text{SiO}_2$ )、あるいはCVD- $\text{SiO}_2$ よりも誘電率が低いポリイミド等の低誘電率有機絶縁物である。また、ビア27、配線層81の材料の例は、CuやAl等の金属である。

【0078】[第4の実施形態] この第4の実施形態は、第3の実施形態と同様、LSIチップとインターポーザとの他の接続例である。

【0079】図14は、この発明の第4の実施形態に係るLSI製品におけるLSIチップとインターポーザとの接続部分を示す断面図である。

【0080】図14に示すように、LSIチップ1の配線層81および層間絶縁膜82上には、絶縁膜83が形成されている。絶縁膜83には、配線層81が露出するビア孔85が形成されている。ビア孔85内には、ビア87が形成されている。ビア87は、配線層81に電氣的に接続される。

【0081】この例において、絶縁膜83および配線層81の表面、即ちLSIチップ1の上面は、ラッピング、あるいはCMPされており、平坦化されている。

【0082】また、インターポーザ3の裏面には、シリコン基板20およびビア22等が露出されている。この裏面は、ラッピング、あるいはCMPされており、平坦化されている。

【0083】LSIチップ1の平坦化された上面は、インターポーザ3の平坦化された裏面に接合される。接合した状態を図15に示す。

【0084】図15に示すように、LSIチップ1の上面は、インターポーザ3の裏面に、ビア87がビア27に接触する状態で接合されている。

【0085】また、LSIチップ1の上面、およびインターポーザ3の裏面はそれぞれ、第3の実施形態と同様に平坦化されている。このため、LSIチップ1とインターポーザ3とは互いに鏡面接着の原理により接着される。

【0086】絶縁膜83の材料の例は、CVD法を用い

10

て形成した $\text{SiO}_2$  (CVD- $\text{SiO}_2$ )、あるいはCVD- $\text{SiO}_2$ よりも誘電率が低いポリイミド等の低誘電率有機絶縁物である。また、ビア27、87の材料の例は、CuやAl等の金属である。

【0087】なお、第3、第4の実施形態により説明した接続方法は、第2の実施形態で説明したインターポーザどうしの接続にも応用することができる。

【0088】[第5の実施形態] 図16はこの発明の第5の実施形態に係るLSI製品を概略的に示す斜視図である。

【0089】図16には、いくつかのセルブロックを、所望の機能を達成するように互いに接続することで製品を得る、というASIC製品が示されている。

【0090】ASIC製品に形成される配線は、二つに大別される。一つは、セルブロック内に形成されるブロック内配線93、もう一つはセルブロックどうしを接続するブロック間配線95である。

【0091】これら配線93、95は、多層に積み重ねて形成される。今後のASIC製品の多機能化を考慮すると、配線93、95の積層数は、さらに増大する、と考えられる。

【0092】図16に示されるASICチップ91には、4つのセルブロックA~Dが形成されている。ブロック内配線93は、ASICチップ91内に形成されている。そして、ブロック間配線95は、インターポーザ3内に形成されている。

【0093】インターポーザ3内には、多層化されたブロック間配線95の全てを形成するようにしても良いし、あるいはその一部のみを形成するようにしても良い。

【0094】この発明は、上記配線の多層化がさらに進む、と考えられるASIC製品の製造コストの低減に有効である。

【0095】[第6の実施形態] 図17はこの発明の第6の実施形態に係るLSI製品を概略的に示す斜視図である。

【0096】図17には、現在、別製品である、ロジック、DRAM、FRAM等を、1つのチップに形成する、というシステムLSI製品が示されている。

【0097】システムLSI製品でも、ASIC製品と同様に、その配線は、ブロック内配線103と、ブロック間配線105とに大別される。これら配線103、105もまた、ASIC製品と同様に多層に積み重ねて形成される。その積層数は、1チップ化するシステムの規模にもよるが、今後、数十層に達する、と推測されている。

【0098】図17に示されるシステムLSIチップ101には、2つのロジック、1つのDRAM、1つのFRAMが形成されている。ブロック内配線103は、システムLSIチップ101内に形成され、ブロック間配



11

線105は、インターポーザ3内に形成されている。

【0099】インターポーザ3内には、第5の実施形態と同様、多層化されたブロック間配線105の全てを形成するようにしても良いし、あるいはその一部のみを形成するようにしても良い。

【0100】この発明は、上記数十層の配線が積層される、と推測されるシステムLSI製品の製造コストの低減に有効である。

【0101】〔第7の実施形態〕この発明に係るLSI製品が具備するインターポーザ3は、シリコン基板（シリコンウェーハ）を用いて形成される。このため、インターポーザ3には、配線のみならず、集積回路を構成する回路素子を形成することができる。回路素子としては、トランジスタ等の能動素子や、抵抗、キャパシタ、インダクタ等の受動素子を挙げることができる。

【0102】以下、回路素子を形成したインターポーザ3を具備するLSI製品を、この発明の第7の実施形態として説明する。

【0103】図18（A）はこの発明の第7の実施形態に係るLSI製品が具備する配線機能／集積回路機能付インターポーザを示す断面図である。

【0104】図18（A）に示すように、シリコン基板20には、素子領域を区画するための素子分離領域111が形成されている。素子分離領域111の一例は、シャロートレンチアイソレーションである。回路素子である能動素子および受動素子は、素子分離領域111によって区画された素子領域、あるいは素子分離領域111上に形成される。

【0105】図18（A）には、能動素子の例として、Nチャネル型MOSFET（NMOS）、およびPチャネル型MOSFET（PMOS）がそれぞれ示されている。NMOSは、シリコン基板20をP型としたとき、この基板20内に形成される。また、PMOSは、シリコン基板20をP型としたとき、この基板20内に形成されたN型領域（ウェル）に形成される。

【0106】また、図18（A）には、受動素子の例として、インダクタ、抵抗およびキャパシタがそれぞれ示されている。インダクタの一例は、配線層を渦巻き状としたプレーナ型のインダクタであり、たとえば素子分離領域111上に形成される。抵抗の例は、素子分離領域111上に形成されたポリシリコン抵抗や、シリコン基板20内に形成されたN型拡散層抵抗である。キャパシタの一例は、MOS型キャパシタである。

【0107】これら能動素子や受動素子を結線することで、所望の集積回路をインターポーザ3に形成することができる。

【0108】図18（B）に、図18（A）に示すインターポーザ3を用いて形成する集積回路の具体的、かつ好ましい応用例を示す。

【0109】図18（B）に示すように、インターポー

12

ザ3に形成する集積回路としては、LSIチップの入力／出力回路（I/O BUF.）が好ましい。

【0110】このように入力／出力回路を、インターポーザ3に形成することで、LSIチップにおいては、チップ面積の増加を抑制できる利点を得られる。この利点とともに、入力／出力回路の駆動能力を大きくすることが可能、という利点をさらに得ることができる。つまり、インターポーザ3はLSIチップよりも大きくでき、かつ微細加工の必要性もLSIチップに比べて少ない。このため、入力／出力回路を構成するトランジスタを大きいサイズで形成できる。トランジスタのサイズを大きくすることで、入力／出力回路の駆動能力を大きくすることができる。入力／出力回路の駆動能力が大きくなることは、LSI製品を使用して構築される電子機器システムにおいて、その動作の高速化等に、良い影響をもたらす。

【0111】このように、インターポーザ3に形成する集積回路としては、LSIチップの入力／出力回路（I/O BUF.）が好ましい。

【0112】〔第8の実施形態〕上記第7の実施形態では、インターポーザ3に集積回路を形成できること、およびインターポーザ3に形成される集積回路の具体的、かつ好ましい例が説明された。

【0113】この第8の実施形態は、インターポーザ3に形成される集積回路の具体的、かつ好ましい他の例に関する。

【0114】図17を参照して説明したように、現在、ロジックやメモリ等の機能を1チップに集積する、という技術が進展している。

【0115】このようなロジックやメモリ等の機能を1チップに集積したLSIチップは、システムLSIチップと呼ばれているが、その課題として、製造コストが高いことが指摘されている。この原因として、たとえばプロセスが相違する集積回路どうしを1チップに形成するために、必然的に工程数が増えること、工程数が増えることで歩留りが低下すること等が挙げられる。

【0116】たとえば図17を参照して説明すると、システムLSIチップ101には、ロジック、DRAM、およびFRAMがそれぞれ形成されている。これら集積回路の中では、特にFRAMのプロセスが、ロジックやDRAMのプロセスと相違する。たとえばFRAMは強誘電体メモリと呼ばれており、強誘電体キャパシタという特殊な構造を形成するプロセスが存在する。このため、強誘電体キャパシタを形成するプロセス分、製造工程が増加することになる。

【0117】そこで、第8の実施形態では、FRAMをインターポーザ3に形成する。図19に、FRAMを形成したインターポーザ3の断面を示す。図19には、FRAMのうち、特にFRAMメモリセルが示されている。

13

【0118】図19に示すように、FRAMメモリセルは、セルトランジスタと、このセルトランジスタのソース、またはドレインに接続された強誘電体キャパシタとから構成される。強誘電体キャパシタは、ストレージノード電極121、このストレージノード電極121上に形成された強誘電体膜123、およびこの強誘電体膜123上に形成されたプレート電極125から構成される。図19では、強誘電体キャパシタをセルトランジスタの上方に配置するスタック型のFRAMメモリセルが示され、ストレージノード電極121は、プラグ127を介して、セルトランジスタのソース、またはドレインに接続されている。

【0119】このようにFRAMをインターポーザ3に形成することで、システムLSIチップにおいては、製造工程数の削減が達成され、その歩留りが向上する。

【0120】また、FRAMを形成したインターポーザ3をシステムLSIチップに接続する。これにより、FRAMを持つシステムLSIチップと同等の機能を有するLSI製品を、製造コストの上昇を抑制しつつ得ることができる。

【0121】〔第9の実施形態〕強誘電体膜、あるいは高誘電体膜として使用可能な膜として、BSTO（一般に $(Ba, Sr)TiO_3$ ）が知られている。

【0122】しかしながら、この種の膜は、LSIチップの製造において、良好なトランジスタ特性を得るために行われる水素アニール（シンタ処理とも呼ばれる）に対する耐性に乏しい。つまり、BSTO膜は、水素アニールによってその膜質が劣化する傾向がある。

【0123】そこで、第9の実施形態は、BSTO膜が形成されるインターポーザを、トランジスタが形成されるLSIチップ、あるいはインターポーザと分けるようにした。

【0124】図20は、この発明の第9の実施形態に係るLSI製品が具備するインターポーザの断面図である。なお、第9の実施形態は、BSTO膜を有するインターポーザの一例として、FRAMを挙げる。

【0125】図20に示すように、FRAMメモリセルのセルトランジスタは、インターポーザ3-1に形成され、その強誘電体キャパシタはインターポーザ3-2に形成されている。強誘電体キャパシタは、SRO（一般に $SrRuO_3$ ）膜から構成されるストレージノード電極131と、BSTO膜から構成される強誘電体膜133と、SRO膜135とA1膜136との積層からなるプレート電極とから構成されている。

【0126】ストレージノード電極131は、層間絶縁膜137に形成された開口部内に形成されている。ストレージノード電極131は、この層間絶縁膜137を、ラッピングあるいはCMPすることで、インターポーザ3-2から露出される。

【0127】また、プラグ127は、層間絶縁膜139

14

に形成された開口部内に形成されており、ストレージノード電極131と同様に、層間絶縁膜139を、ラッピングあるいはCMPすることで、インターポーザ3-1から露出される。そして、たとえば第3、第4の実施形態で説明したような接続方法により、露出したプラグ127と露出したストレージノード電極131とを、互いに接続する。これにより、インターポーザ3-1とインターポーザ3-2との積層構造からなるFRAMメモリセル（強誘電体メモリセル）を得る。

【0128】このようにBSTO膜が形成されているインターポーザ3-2を、トランジスタが形成されているインターポーザ3-2と分けることで、トランジスタ特性を良好にするための水素アニールの影響をBSTO膜が受けなくなる。よって、良好な膜質を持つBSTO膜を得ることができる。

【0129】また、第9の実施形態においても、BSTO膜を有する構造、即ち強誘電体キャパシタをインターポーザ3-2に形成するので、第8の実施形態と同様に、LSIチップの製造工程数を削減でき、LSI製品の製造コストの上昇を抑制することができる。

【0130】なお、第9の実施形態において、セルトランジスタは、インターポーザ3-1に形成するようにしたが、これは、LSIチップに形成するようにしても良い。

【0131】また、良好な膜質を持つBSTO膜を得る観点から、インターポーザ3-2には、図20に示すように、トランジスタは形成せず、BSTO膜および配線のみを形成することが望ましい。このようなインターポーザ3-2では、水素アニールの必要性を無くせるからである。

【0132】

【発明の効果】以上説明したようにこの発明によれば、製造コストの上昇を抑制することが可能な半導体集積回路装置およびその製造方法を提供できる。

【図面の簡単な説明】

【図1】図1（A）はこの発明の第1の実施形態の比較例に係るLSI製品を示す図、図1（B）はこの発明の第1の実施形態に係るLSI製品を示す図。

【図2】図2はこの発明の第1の実施形態に係るLSI製品を示す分解図。

【図3】図3はこの発明の第1の実施形態に係るLSI製品を示す断面図。

【図4】図4（A）、図4（B）はそれぞれこの発明の第1の実施形態に係るLSI製品が具備するインターポーザの主要な製造工程を示す断面図。

【図5】図5（A）、図5（B）はそれぞれこの発明の第1の実施形態に係るLSI製品が具備するインターポーザの主要な製造工程を示す断面図。

【図6】図6（A）、図6（B）はそれぞれこの発明の第1の実施形態に係るLSI製品が具備するインターポ

15

ーザの主要な製造工程を示す断面図。

【図 7】図 7 (A)、図 7 (B) はそれぞれこの発明の第 1 の実施形態に係る L S I 製品が具備するインターポーザの主要な製造工程を示す断面図。

【図 8】図 8 (A)、図 8 (B) はそれぞれこの発明の第 1 の実施形態に係る L S I 製品が具備するインターポーザの主要な製造工程を示す断面図。

【図 9】図 9 (A)、図 9 (B) はそれぞれこの発明の第 1 の実施形態に係る L S I 製品が具備するインターポーザの主要な製造工程を示す断面図。

【図 10】図 10 (A)、図 10 (B) はそれぞれこの発明の第 1 の実施形態に係る L S I 製品が具備するインターポーザの主要な製造工程を示す断面図。

【図 11】図 11 (A) はこの発明の第 2 の実施形態に係る L S I 製品が具備するインターポーザの分解図、図 11 (B) はこの発明の第 2 の実施形態に係る L S I 製品が具備するインターポーザの断面図。

【図 12】図 12 はこの発明の第 3 の実施形態に係る L S I 製品における L S I チップとインターポーザとの接続部分を示す断面図。

【図 13】図 13 は図 12 に示す L S I チップをインターポーザに接続した状態を示す断面図。

【図 14】図 14 はこの発明の第 4 の実施形態に係る L S I 製品における L S I チップとインターポーザとの接続部分を示す断面図。

【図 15】図 15 は図 14 に示す L S I チップをインターポーザに接続した状態を示す断面図。

【図 16】図 16 はこの発明の第 5 の実施形態に係る L S I 製品を概略的に示す斜視図。

【図 17】図 17 はこの発明の第 6 の実施形態に係る L S I 製品を概略的に示す斜視図。

【図 18】図 18 (A) はこの発明の第 7 の実施形態に係る L S I 製品が具備するインターポーザの断面図、図 18 (B) は図 18 (A) に示すインターポーザの応用例を示す断面図。

【図 19】図 19 はこの発明の第 8 の実施形態に係る L S I 製品が具備するインターポーザの断面図。

【図 20】図 20 はこの発明の第 9 の実施形態に係る L S I 製品が具備するインターポーザの断面図。

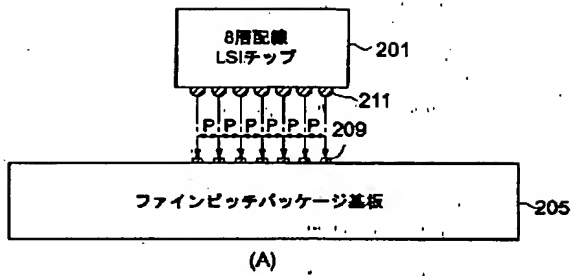
【符号の説明】

- 1…L S I チップ、
- 3…配線機能付インターポーザ、
- 3-1…第 1 層配線機能付インターポーザ、
- 3-2…第 2 層配線機能付インターポーザ、
- 5…パッケージ基板、
- 7…バンパ電極
- 9…配線、
- 11…バンパ電極、

16

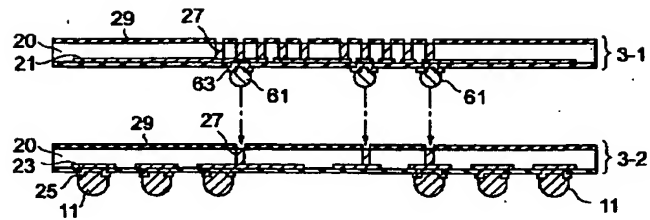
- 13…配線溝、
- 20…シリコン基板（シリコンウェーハ）、
- 21…第 1 層配線層、
- 22…層間絶縁膜、
- 23…第 2 層配線層、
- 24…パッシベーション膜、
- 25…バリアメタル膜、
- 27…ビア、
- 29…パッシベーション膜、
- 31…樹脂、
- 33…樹脂、
- 41…配線溝、
- 43…ビア孔、
- 45…絶縁膜（S i N / S i O<sub>2</sub>積層膜）、
- 47…バリアメタル膜（T i / N i / P d 積層膜）、
- 49…導電膜（C u メッキ膜）、
- 51…ビア露出孔、
- 53…第 2 層配線層（印刷配線）、
- 55…バンパ、
- 57…層間絶縁膜（低誘電率有機絶縁膜）、
- 59…第 3 層配線層（印刷配線）、
- 61…バンパ電極、
- 63…バリアメタル膜、
- 71…パッシベーション膜、
- 73…ビア孔、
- 75…バリアメタル膜、
- 77…ビア、
- 81…最上層配線層、
- 82…層間絶縁膜、
- 83…層間絶縁膜、
- 85…ビア孔、
- 87…ビア、
- 91…A S I C チップ、
- 93…ブロック内配線、
- 95…ブロック間配線、
- 101…システム L S I チップ、
- 103…ブロック内配線、
- 105…ブロック間配線、
- 111…素子分離膜（シャロートレンチアイソレーション）、
- 121…ストレージノード、
- 123…強誘電体膜、
- 125…プレート、
- 131…S R O 膜（ストレージノード）、
- 133…B S T O 膜（強誘電体膜）、
- 135…S R O 膜（プレート）、
- 136…A l 膜（プレート）。

【図1】

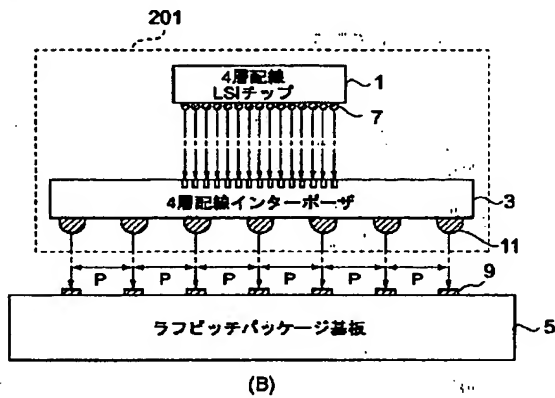


(A)

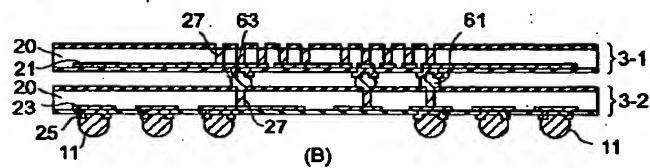
【図11】



(A)

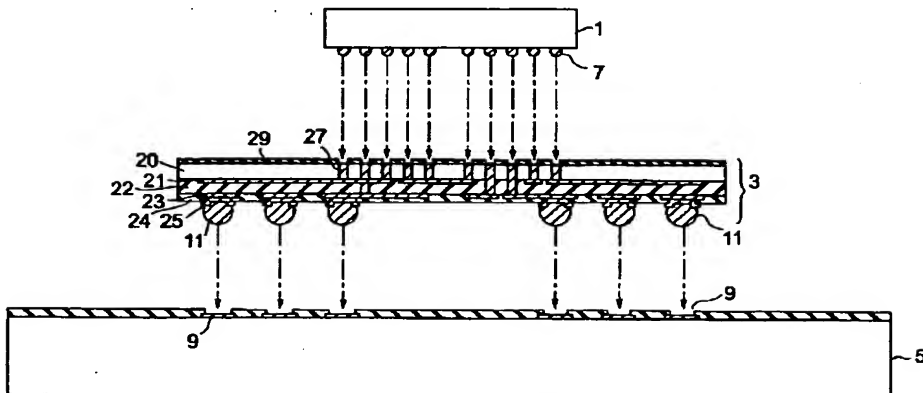


(B)

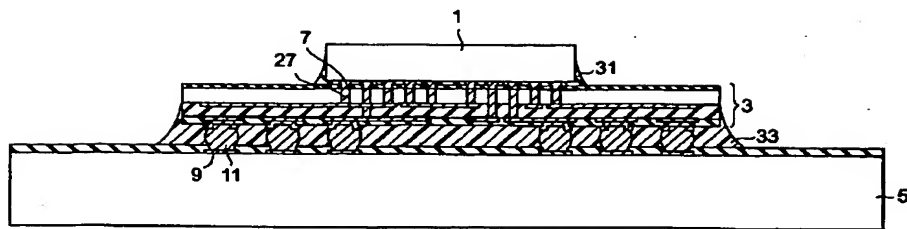


(B)

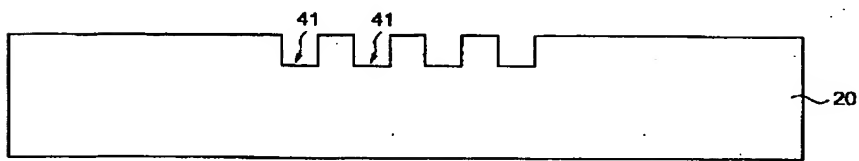
【図2】



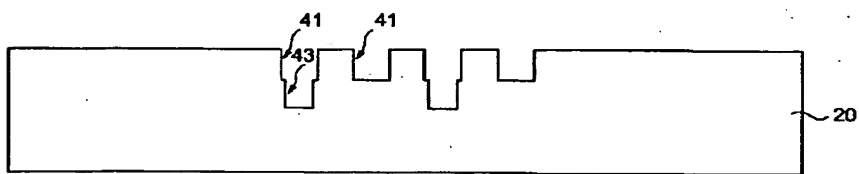
【図3】



【図4】

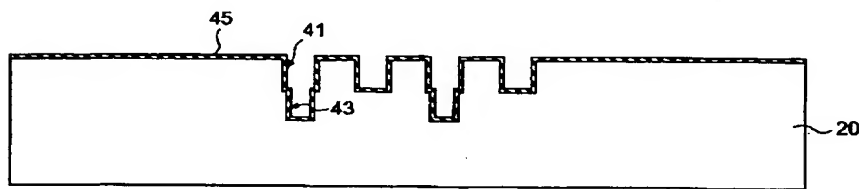


(A)

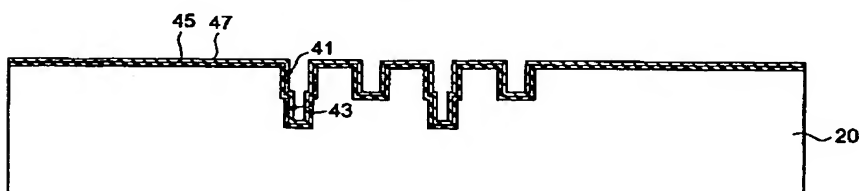


(B)

【図5】

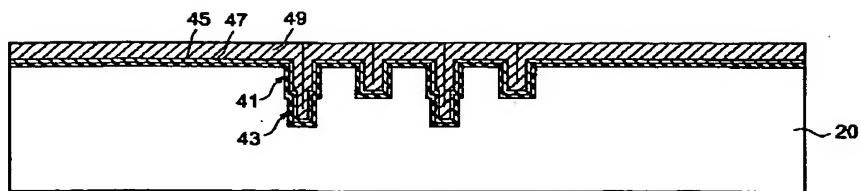


(A)

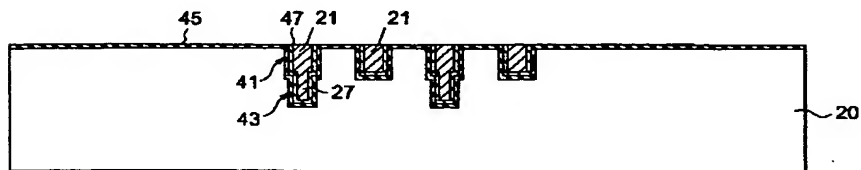


(B)

【図6】

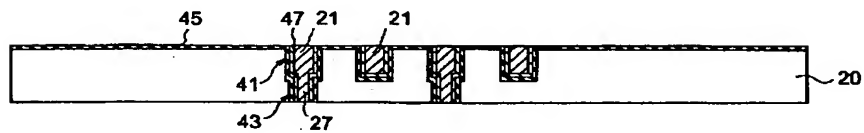


(A)

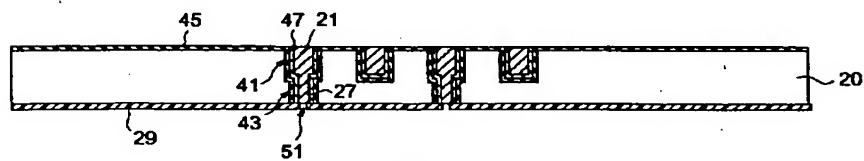


(B)

【図7】

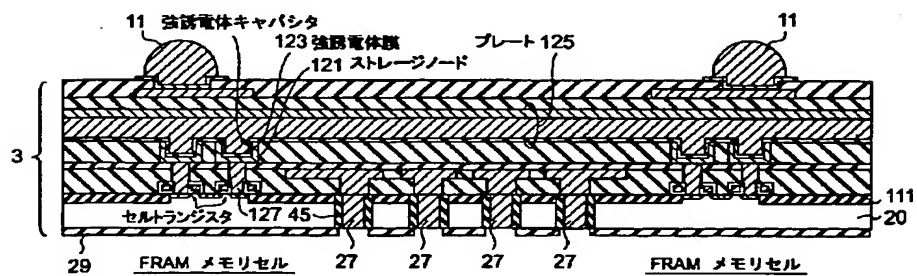


(A)

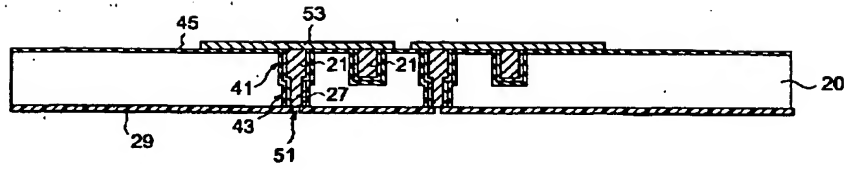


(B)

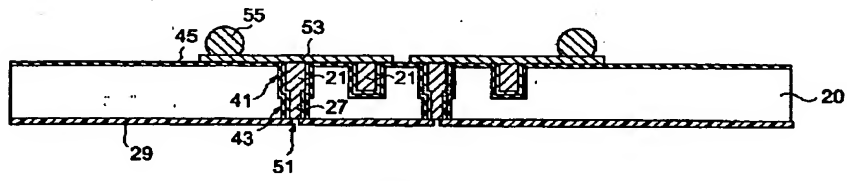
【図19】



【図 8】

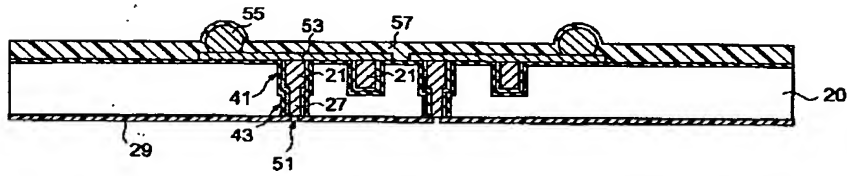


(A)

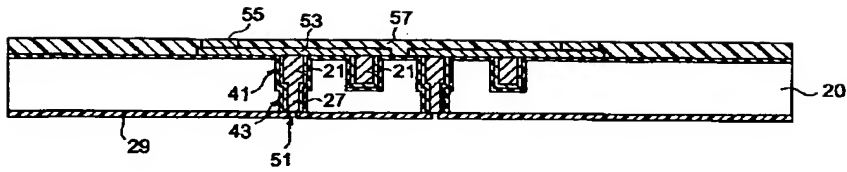


(B)

【図 9】

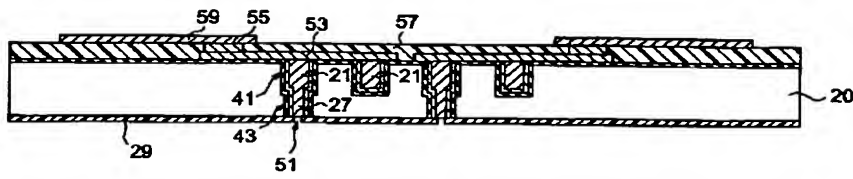


(A)

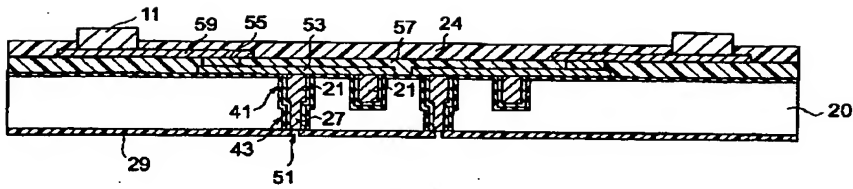


(B)

【図10】

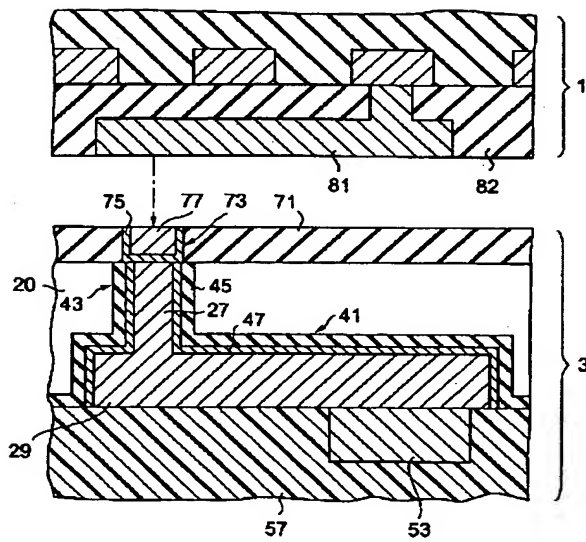


(A)



(B)

【図12】



【図13】

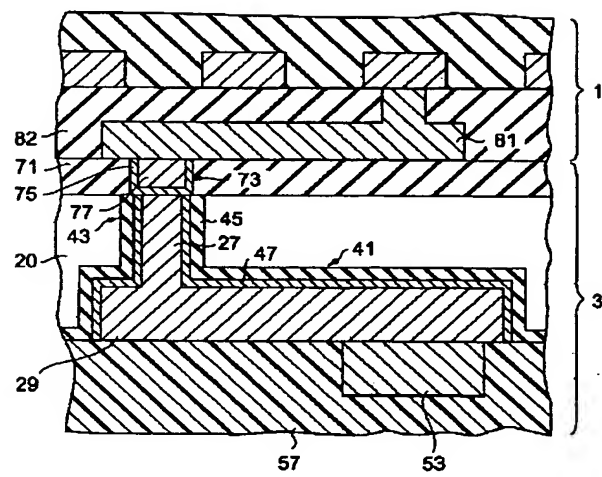






Figure 1 consists of two cross-sectional views, (a) and (b), of a semiconductor device. View (a) shows a top layer with a strong piezoelectric capacitor (136), a storage node (131), and a BSTO strong piezoelectric film (133). View (b) shows a bottom layer with a self-aligning gate (127) and a strong piezoelectric film (139). Both views show a series of memory cells (FRAM メモリセル) and a central storage node (SRO ストレージノード).